

DECODIFICADOR DE INSTRUCCIONES

Es el dispositivo utilizado para identificar cual operación será utilizada, cuyo código de operación (opcode) junto con otros bits que diferencian las instrucciones entre sí fueron decodificados.

El decodificador recibe en su entrada los 32 bits de cada instrucción. Además, cuenta con un reset síncrono. Para cada instrucción se extraen como salidas los bits que brindan el valor inmediato (imm), registro de destino (rd), registro de fuente 1 y 2 (rs1 y rs2). Finalmente, extrae una codificación única de 12 bits para cada instrucción, la cual, se muestra en la tabla 1.

El decodificador funciona de la siguiente manera: Primero se debe activar la señal de enable para que el registro de la unidad lea el valor conocido como inst, el cual se guarda en el registro y luego se procede a analizar, cuando el decodificador perciba un enable activado en su próximo flanco de reloj, siempre y cuando la señal de reset se encuentre deshabilitada, se lee el valor de inst, comparando su valor de opcode para identificar a qué tipo de instrucción pertenece, se verifican otros bits adicionales, si se identifica como una instrucción válida luego se extraen las direcciones que contienen la información para ejecutar la instrucción y por último, se realiza la codificación de la instrucción, la cual consta de 12 bits, es un arreglo entre el valor de funct, que define que función se realizar en la instrucción dentro de las posibles para cada opcode, y el opcode de la misma. En caso de que inst no pertenezca a ninguna a instrucción reconocida por el decodificador. Se le asigna 1's a las salidas.

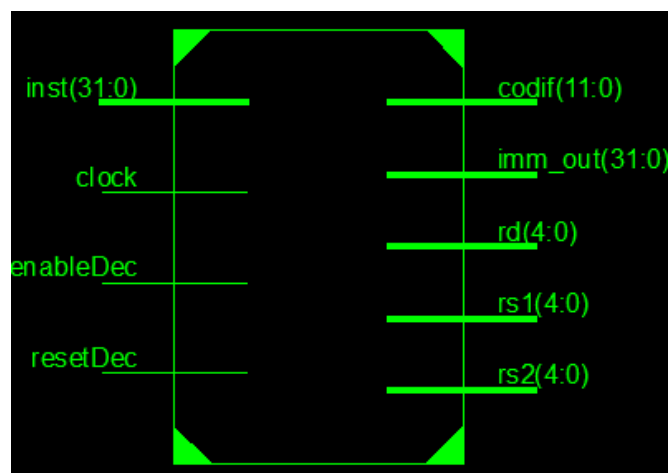


Figura 1. Decodificador de Instrucciones

No.	Instrucción	Codif. (salida)	Codif. Decimal
1	AUIPC rd,imm	000000010111	23
2	LUI rd,imm	000000110111	55
3	JAL rd,imm	000001101111	111
4	BEQ rs1,rs2,imm	000001100011	99
5	BNE rs1,rs2,imm	000011100011	227
6	BLT rs1,rs2,imm	001001100011	611
7	BGE rs1,rs2,imm	001011100011	739
8	BLTU rs1,rs2,imm	001101100011	867
9	BGEU rs1,rs2,imm	001111100011	995
10	SB rs1,rs2,imm	000000100011	35
11	SH rs1,rs2,imm	000010100011	163
12	SW rs1,rs2,imm	000100100011	291
13	LB rd,rs1,imm	000000000011	3
14	LH rd,rs1,imm	000010000011	131
15	LW rd,rs1,imm	000100000011	259
16	LBU rd,rs1,imm	001000000011	515
17	LHU rd,rs1,imm	001010000011	643
18	ADDI rd,rs1,imm	000000010011	19
19	SLTI rd,rs1,imm	000100010011	275
20	SLTIU rd,rs1,imm	000110010011	403
21	XORI rd,rs1,imm	001000010011	531
22	ORI rd,rs1,imm	001100010011	787
23	ANDI rd,rs1,imm	001110010011	915
24	SLLI rd,rs1,shamt	000010010011	147
25	SRLI rd,rs1,shamt	001010010011	659
26	SRAI rd,rs1,shamt	011010010011	1683
27	JALR rd,rs1,imm	000001100111	103
28	ADD rd,rs1,rs2	000000110011	51
29	SUB rd,rs1,rs2	100000110011	2099
30	SLL rd,rs1,rs2	000010110011	179
31	SLT rd,rs1,rs2	000100110011	307
32	SLTU rd,rs1,rs2	000110110011	435
33	XOR rd,rs1,rs2	001000110011	563
34	SRL rd,rs1,rs2	001010110011	691
35	SRA rd,rs1,rs2	101010110011	2739
36	OR rd,rs1,rs2	001100110011	819
37	AND rd,rs1,rs2	001110110011	947
38	SBREAK	000000011000	24
39	ADDRMS rs1	000010011000	152
40	ADDRME rd	000100011000	280
41	TISIRR rs1,rs2	000110011000	408

42	IRRSTATE rs1,rs2	001000011000	536
43	CLRADDRM	001010011000	664
44	CLRIRQ rs1,imm	001100011000	792
45	RETIRQ	001110011000	920
46	MUL rs1,rs2,rd	010000110011	1075
47	MULH rs1,rs2,rd	010010110011	1203
48	MULHSU rs1,rs2,rd	010100110011	1331
49	MULHU rs1,rs2,rd	010110110011	1459
*	Decodificador en Reset	000000000000	0
**	Instrucción inválida	111111111111	4095

Tabla 1. Decodificación Instrucciones RISC-V

En la simulación, se probaron todas las posibles 49 instrucciones además de probar con números de 32 bits que de alguna manera no se clasificaban en las instrucciones decodificadas. Por lo cual, se clasificaba como instrucción inválida.

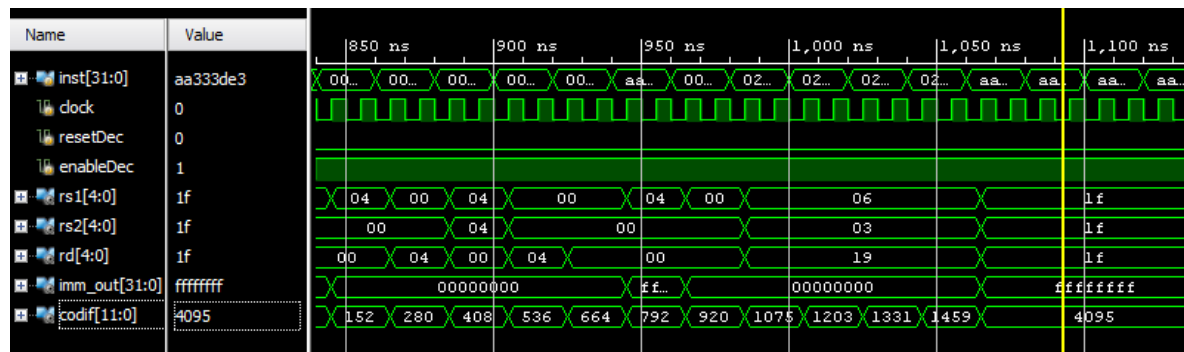


Figura 2. Simulación Decodificador de Instrucciones