

INTERFACE DE MEMORIA

Giovanny Castillo Castillo - 2111144

Anderson Joan Agudelo Molina - 2092031

Arquitectura de computadores – Prof. Ckhristian Esteban Duran

I. DISEÑO

El diseño del módulo de la interface de memoria fue necesario la implementación de una máquina de estados bajo el protocolo AXI4-Lite para asegurar el debido comportamiento entre el maestro y el esclavo dependiendo de si se está realizando un proceso de escritura o lectura, además de implementar un datapath para poder llevar a cabo la función de lectura o escritura según sea el caso.

II. ESTRUCTURA

En la Figura 1 se observan todas las señales de entrada/salida del módulo de interface de memoria completo, además de los diferentes buses que componen el sistema.

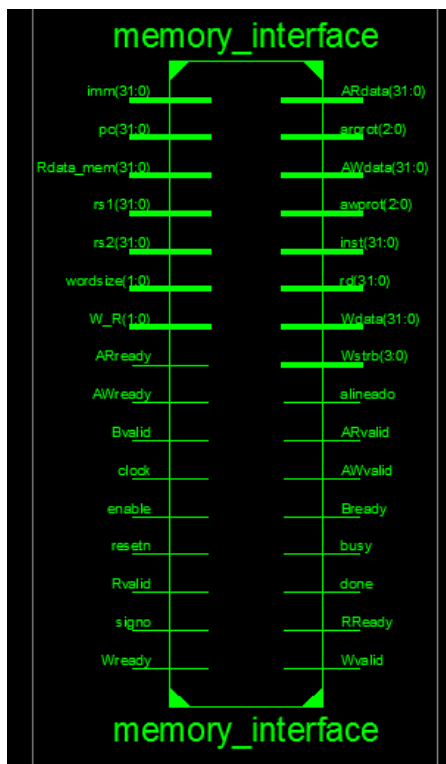


Figura 1. Entradas vs. Salidas interface de memoria.

En la Figura 2 se observa la máquina de estados diseñada para cumplir el protocolo AXI4-Lite y realizar correctamente el proceso de lectura o escritura según sea el caso.

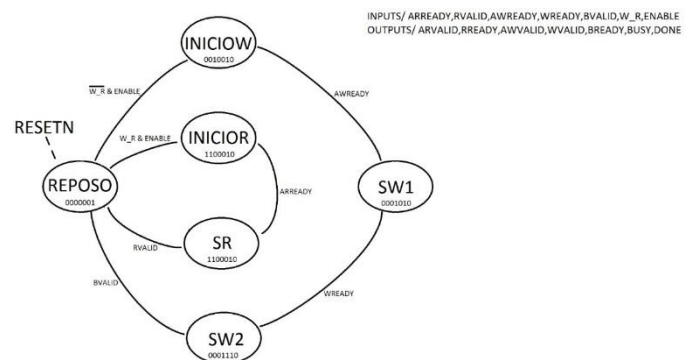


Figura 2. Máquina de estados protocolo AXI4-Lite.

III. COMPORTAMIENTO

a. Datapath

A continuación se listaran las señales (nuevas) usadas en el datapath, su función y sus modos.

SX rd,rs1,imm

LX rs1,rs2,imm

1- rs1: *input*, registro de 32 bits, para la operación de escritura rs1 + imm forma la dirección.

2-rs2: *input*, registro de 32 bits, para la operación de lectura rs1 + imm forma la dirección.

3-Rdata_mem: *input*, registro de 32 bits, parte del protocolo AXI-4 lite, es la variable que representa los datos de lectura que viene del exterior.

4- Arready: *input*, activo en alto, parte del protocolo AXI-4 lite, indica que la lectura de la dirección esta lista.

5-Rvalid: *input*, activo en alto, parte del protocolo AXI-4 lite, indica que el canal esta enviando los datos de lectura requerido.

6- Awready: *input*, activo en alto, parte del protocolo AXI-4 lite, indica que el esclavo esta listo para recibir el valor de la dirección.

7- Wready: input, activo en alto, parte del protocolo AXI-4 lite, indica que el esclavo esta listo para recibir los datos de escritura.

8- Bvalid: input, activo en alto, parte del protocolo AXI-4 lite, indica que el canal esta enviando una informacion valida de escritura

9- W_R: input, esta señal de 2-bits es la encargada de definir si la operación a realizar es de lectura, escritura o instrucción, si el valor es de "00" el proceso es de escritura, "11" es lectura y "01" instrucción.

10- wordsize: input, indica el tamaño de la palabra, si es "00" es de 32bits, "01" de 16 bits y "10" de 8bits.

11- pc: input, program counter.

12-enable: input, activo en alto, habilita la memory interface.

12- signo: input, indica si la operación es con signo o sin signo, si es '0' la operación es sin signo, si es '1' la operación es con signo.

13.imm: valor inmediato 32 bits

14- busy: output, activo en alto, indica que la memory interface esta realizando un procedimiento

15- done: output, activo en alto, indica que la memory interface ha terminado un procedimiento.

15- alineado: output, encargada de definir si la dirección esta alineada '1' o desalineada '0'.

16- Awdata: output, dirección de escritura, parte del protocolo AXI-4 lite.

17- Ardata: output, dirección de lectura, parte del protocolo AXI-4 lite.

18-Wdata: output, valor de 32bits, datos de escritura, parte del protocolo AXI-4 lite.

19- rd: output, valor de 32bits, datos de lectura.

20- Arvalid: output, activo en alto, indica que el canal esta enviando una dirección valida de lectura, parte del protocolo AXI-4 lite.

21- Rready: output, activo en alto, indica que se puede recibir un valor de lectura, parte del protocolo AXI-4 lite.

22- Awvalid: output, activo en alto, indica que el canal esta enviando una dirección valida de escritura, parte del protocolo AXI-4 lite.

23-Wvalid: output, activo en alto, indica que un valor valido de lectura y strobes están disponibles, parte del protocolo AXI-4 lite.

24-Arprot: output, indica niveles de privilegios y seguridad en la transacción, parte del protocolo AXI-4 lite, si es "100" es instrucion y "000" operación de lectura.

25-Awprot: output, indica niveles de privilegios y seguridad en la transacción de escritura, su valor es de "000".

26-Wstrb: output, indica en que sección de la memoria (según el modelo de la memoria) se encuentra los datos validos.

27. inst: instrucción cuando la memory interface carga una instrucción de la memoria

MODELO DE MEMORIA

8 bits	8 bits	8 bits	8 bits
8 bits	8 bits	8 bits	8 bits
8 bits	8 bits	8 bits	8 bits
8 bits	8 bits	8 bits	8 bits

La figura anterior muestra el modelo de memoria, cada dirección de memoria representada por cada fila esta conformada para almacenar datos de 32 bits.

b. Máquina estados

En la Figura 2 se observa el comportamiento de la máquina de estados, la transición entre estados se realiza en el sentido de las manecillas del reloj únicamente y la entrada necesaria para cada transición aparece entre estado y estado. Para observar de manera más clara el comportamiento de salidas entre cada estado en la Tabla 1 puede observarse las salidas para cada uno de estos.

ESTADO	ARVALID	RREADY	AWVALID	WVALID	BREADY	BUSY	DONE
REPOSO	0	0	0	0	0	0	1
INICIOR	1	1	0	0	0	1	0
SR	1	1	0	0	0	1	0
INICIOW	0	0	1	0	0	1	0
SW1	0	0	0	1	0	1	0
SW2	0	0	0	1	1	1	0

Tabla 1. Salidas de estados.

Las señales ARVALID y RREADY son señales enviadas por nosotros como maestros al esclavo para confirmar que se está llevando a cabo correctamente el proceso de lectura, mientras que las señales AWVALID, WVALID y BREADY son señales que enviamos para confirma que se está ejecutando debidamente el proceso de escritura. Las señales BUSY y DONE son señales que indican el estado de ocupado y desocupado de la interface de memoria respectivamente.



UNIVERSIDAD INDUSTRIAL DE SANTANDER
ESCUELA DE INGENIERÍA ELÉCTRICA ELECTRÓNICA Y TELECOMUNICACIONES
Perfecta Combinación entre Energía e Intelecto

